

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-314977

(43)Date of publication of application : 08.11.1994

51)Int.Cl.

H03M 1/74

21)Application number : 05-102551

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

22)Date of filing : 28.04.1993

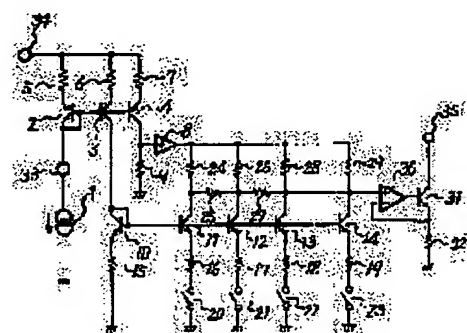
(72)Inventor : NAKAJIMA MITSUHIRO

54) CURRENT OUTPUT TYPE D/A CONVERTER CIRCUIT

57)Abstract:

URPOSE: To set the variable range of the output current optional by connecting a reference current source to a 1st current mirror circuit, using an output of a 1st amplifier for a reference potential application point and giving 1st to n-th outputs of a 2nd current mirror circuit to n-sets of weighting terminals of an R-2R resistor ladder circuit.

ONSTITUTION: A current of a reference current source 1 is given to a 1st current mirror circuit comprising transistors (TRs) 2-3 and resistors 4-7, its 1st output is inputted to a current-voltage circuit comprising a resistor 9 and an amplifier 8, in which the output is converted into a voltage and it is used for a reference voltage for an R-2R ladder circuit comprising resistors 24-29. A 2nd output of the 1st current mirror circuit is given to a 2nd current mirror circuit having n-sets of outputs comprising TRs 10-14 and resistors 15-19 and n-sets of outputs are given to n-sets of control current terminals to the R-2R resistor ladder circuit via switches 20-23 to decide an output voltage of the R-2R resistor ladder circuit.



LEGAL STATUS

Date of request for examination]

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

Date of final disposal for application]

Patent number]

Date of registration]

Number of appeal against examiner's decision of
rejection]

Date of requesting appeal against examiner's decision
of rejection]

Date of extinction of right]

(11)特許出願公開番号

特開平6-314977

(43)公開日 平成6年(1994)11月8日

(51)Int.Cl.⁵
H 0 3 M 1/74

識別記号 庁内整理番号
9065-5.1

FI

技術表示箇所

審査請求 未請求 請求項の数 1 OL (全 4 頁)

(21)出願番号 特願平5-102551

(22)出題日 平成5年(1993)4月28日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 中島 光啓

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

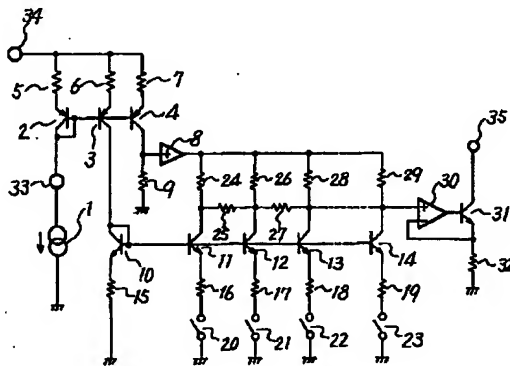
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 電流出力型デジタル／アナログ変換回路

(57) 【要約】

【目的】基準電流源から入力する電流値に関係なく出力端子から出力する電流の可変範囲を任意に設定でき、微少な範囲の可変にも対応できる。

【構成】基準電流源の電流をカレントミラー回路を介して、電流－電圧変換回路に入力し基準電位供給点を作り、 n 個のビットで構成するデジタル入力信号により基準電流源をもとに作られた電流を $R-2R$ 抵抗ラダー回路の n 個の重み付け端子に入力し、出力電圧を制御する。この出力電圧は、電圧－電流変換回路により電流として出力端子より出力する電流出力型デジタル／アナログ変換回路。



1

【特許請求の範囲】

【請求項1】 基準電流源を、2つの出力を持つ第1のカレントミラー回路の入力に接続し、前記第1のカレントミラー回路の第1の出力は他端が接地された第1の抵抗の一端と第1の増幅器の入力に接続し、該第1の増幅器の出力を基準電位供給点となし、 $R-2R$ 抵抗ラダー回路の等電位端子を前記、基準電位供給点に接続し、前記第1のカレントミラー回路の第2の出力は、 n 個の出力を持つ第2のカレントミラー回路の入力に接続し、該入力にはエミッタが第2の抵抗を介して接地された第2のトランジスタで構成され、前記第2のカレントミラー回路の第1の出力を構成する第3のトランジスタは第3の抵抗とデジタル入力信号の第1のビットで制御する第1のスイッチを介して接地し、第2の出力を構成する第4のトランジスタは第4の抵抗と前記デジタル入力信号の第2のビットで制御する第2のスイッチを介して接地し、同様に第 n の出力を構成する第5のトランジスタは第5の抵抗と前記デジタル入力信号の第 n のビットで制御する第 n のスイッチを介して接地され、前記第2のカレントミラー回路の第1の出力から第 n の出力までは前記 $R-2R$ 抵抗ラダー回路の n 個の重み付け端子に入力され、前記 $R-2R$ 抵抗ラダー回路の出力は、第6のトランジスタのベースが出力に接続され、エミッタが他端が接地された第6の抵抗の1端とともに反転入力に接続された第2の増幅器の非反転入力に接続し、前記第6のトランジスタのコレクタを電流出力端となすことを特徴とした電流出力型デジタル／アナログ変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル／アナログ変換回路に関し、特に電流出力型デジタル／アナログ変換回路に関する。

【0002】 一般に、電流出力型デジタル／アナログ変換回路として入力された基準電流をもとにし、デジタル入力信号で出力電流を制御する回路がある。

【0003】 従来の電流出力型デジタル／アナログ変換回路の一例を図2に示す。

【0004】 図において同一形状のトランジスタ36とトランジスタ37、同一抵抗値の抵抗38と抵抗39で構成し、抵抗38と抵抗39の一方の端子は電源端子に接続した第1のカレントミラー回路で、前記カレントミラー回路の入力は基準電流源1に接続し、出力は第2のカレントミラー回路の入力に接続する。

【0005】 第2のカレントミラー回路は、カレントミラー回路の入力となるトランジスタ40と抵抗45を通し接地し、第1の出力はトランジスタ40と同一のトランジスタ41と抵抗45と同一抵抗値の抵抗46とデジタル入力信号の第1のビットで制御するスイッチ20で接地した回路で構成する基準電流源と同じ電流を出力し、第2の出力はトランジスタ40の2倍の面積のト

2

ンジスタ42と抵抗45の $1/2$ の値の抵抗47とデジタル入力信号の第2のビットで制御するスイッチ21で接地した回路で構成し、基準電流源の2倍の電流を出力し、第3の出力はトランジスタ40の4倍の面積を持つトランジスタ43と抵抗45の $1/4$ の抵抗値の抵抗48とデジタル入力信号の第3のビットで制御するスイッチ22で接地した回路で構成し基準電流源の4倍の電流を出力し、同様に第 n の出力はトランジスタ40の 2^{n-1} 倍の面積を持つトランジスタ44と抵抗45の 2^{n-1} 分の1の抵抗値の抵抗49とデジタル入力信号の第 n のビットで制御するスイッチ23で接地した回路で構成し基準電流源の 2^{n-1} 倍の電流を出力する回路で構成し、第2のカレントミラー回路の第1の出力から第 n の出力までを全てに接続する出力端子を有している。

【0006】 次に、従来例の動作について説明する。

【0007】 n 個のビットで構成するデジタル入力信号を各々のスイッチに入力し、第1のビットの信号のみがHになるとスイッチ20がONして出力端子に基準電流源と同じ電流が流れ、第2のビットの信号のみがHになるとスイッチ21がONして出力端子に基準電流源の2倍の電流が流れ、第1のビットと第2のビットが同時にONすれば出力端子に基準電流源の3倍の電流が流れる。同様に n 個のビットの全てがONすれば $2^n - 1$ 倍の電流が出力端子に流れるデジタル／アナログ変換回路である。

【0008】 したがって出力端子に流れる電流を I_{OUT} とし、基準電流源の電流値を I_{ref} とすると次式で表わすことができる。

【0009】 $I_{OUT} = I_{ref} (Z_1 + 2Z_2 + 4Z_3 + \dots + 2^{n-1} Z_n)$
 Z_n は第 n のビットがON時1、OFF時0を代入する。

【0010】

【発明が解決しようとする課題】 この従来の電流出力型デジタル／アナログ変換回路では、基準電流源の電流値を元に整数倍の電流値の制御しかできず、可変範囲を任意に選べず、また可変する電流値は基準電流源の電流値により限定される問題がある。

【0011】 又、出力電流のリニアリティを得る為には、カレントミラー回路を構成するトランジスタの面積比が重要となり、デジタル入力信号のビットが多くなるとカレントミラー回路を構成するトランジスタが指数的に増加し、又微小な範囲を可変する為には、基準電流源の電流値が少なくする必要があり、カレントミラー回路を構成する抵抗値が大きくなるという問題がある。

【0012】 次に実際の値を入れて詳細に説明すると、4個のビットのデジタル入力信号により出力電流値を $15\mu A$ から $30\mu A$ の間で可変する電流入力電流出力型デジタル／アナログ変換回路を考える。

【0013】 4個のビットのデジタル入力信号は16ス

テップの設定となる為、可変する電流値を可変ステップで割ると1ステップ当り $1\mu\text{A}$ の変化が必要となり、これを基準電流源の電流値とするが、このままだと $0\mu\text{A}$ から $15\mu\text{A}$ までの可変しかできない為、基準電流源以外に $15\mu\text{A}$ の電流源を出力端子に接続する必要がある、この2個目の電流源を使用することにより $15\mu\text{A}$ から $30\mu\text{A}$ までの可変が可能となる。

【0014】次にカレントミラー回路を構成する抵抗値について考えると、ICの内部で使用する場合、トランジスタや抵抗のバラツキを考えると抵抗の両端に発生する電圧を0.3V程度に設定する必要があり、基準電流源の電流値が $1\mu\text{A}$ とすると第1のカレントミラー回路では $300\text{K}\Omega$ の抵抗が2本必要となる。

【0015】又、第2のカレントミラー回路でも $300\text{K}\Omega$ の抵抗が2本、 $150\text{K}\Omega$ の抵抗が1本、など高抵抗値の抵抗が数多く必要となり、ICでの使用には無理がある。

【0016】

【課題を解決するための手段】本発明の電流出力型デジタル/アナログ変換回路は基準電流源を、2つの出力を持つ第1のカレントミラー回路の入力となる第1のトランジスタのコレクタに接続し、前記第1のカレントミラー回路を構成する3個のトランジスタのエミッタは抵抗を介して電源端子に接続され、第1の出力は第1の増幅器と第1の抵抗とで構成される電流-電圧変換回路の入力に接続され、前記第1の抵抗は接地され基準電流と抵抗値を乗算した電圧を発生し、増幅率1倍の第1の増幅器を通して $R-2R$ 抵抗ラダー回路の等電位端子として入力される。

【0017】前記第1のカレントミラー回路の第2の出力は n 個の出力を持つ第2のカレントミラー回路の入力となる第2のトランジスタのコレクタに接続され、前記第2のカレントミラー回路の入力を構成する前記第2のトランジスタのエミッタは第2の抵抗を介して接地され、第1の出力を構成する第3のトランジスタは第3の抵抗とデジタル入力信号の第1のビットで制御する第1のスイッチで接地し、第2の出力を構成する第4のトランジスタは第4の抵抗と前記デジタル入力信号の第2のビットで制御する第2のスイッチで接地し、同様に第 n の出力を構成する第5のトランジスタは第5の抵抗と前記デジタル入力信号の第 n のビットで制御する第 n のスイッチで接地され前記第2のカレントミラー回路の第1の出力から第 n の出力までは前記 $R-2R$ 抵抗ラダー回路の n 個の重み付け端子に入力される。

【0018】前記 $R-2R$ 抵抗ラダー回路の出力は第2の増幅器の非反転入力に接続し、前記第2の増幅器は、出力を第6のトランジスタのベースに入力し、前記第6のトランジスタのエミッタは、前記第2の増幅器の反転入力に接続するのと第6の抵抗を介して接地し、電圧-電流変換回路を構成し、前記トランジスタのコレクタは

出力端子に接続する電圧-電流変換回路を備えている。

【0019】

【実施例】次に、本発明について図面を参照して説明する。

【0020】図1は本発明の一実施例を示す回路図である。

【0021】基準電流源1の電流をトランジスタ2, 3, 4と抵抗5, 6, 7で構成する2個の出力を持つ第1のカレントミラー回路の入力に接続し、前記第1のカレントミラー回路の第1の出力より抵抗9と増幅器8で構成する電流-電圧回路に入力して電圧に変換し、抵抗24から抵抗29で構成する $R-2R$ 抵抗ラダー回路の基準電圧とする。

【0022】基準電流源1の電流値を I_{ref} とし、電流-電圧回路の出力の電圧を V_{ref} とすると

$$V_{\text{ref}} = R_9 \times I_{\text{ref}}$$

となる。

【0023】次に、前記第1のカレントミラー回路の第2の出力はトランジスタ10からトランジスタ14と抵抗15から抵抗19で構成する n 個の出力を持つ第2のカレントミラー回路の入力に接続し、その n 個の出力はデジタル入力信号で制御されるスイッチ20からスイッチ23によって前記 $R-2R$ 抵抗ラダー回路への n 個のコントロール電流端子に入力し、 $R-2R$ 抵抗ラダー回路の出力電圧を決める。

【0024】 $R-2R$ 抵抗ラダー回路の基準抵抗値を R とすると $R-2R$ 抵抗ラダー回路の出力電圧 V_{R-2R} は
$$V_{R-2R} = V_{\text{ref}} - R \times I_{\text{ref}} \times (Z_n + \dots + Z_2 / 2^{n-1} + Z_1 / 2^n)$$

Z_n は第 n のビットがON時1、OFF時0を代入する。となる。

【0025】 $R-2R$ 抵抗ラダー回路の出力は増幅器30, トランジスタ31と抵抗32で構成する電圧-電流回路の入力に接続され、トランジスタ31のコレクタは出力端子に接続し電流出力型デジタル/アナログ変換回路を構成する。

【0026】この回路の出力電流 I_{out} は次の式で求まる。

$$\begin{aligned} \text{【0027】 } I_{\text{OUT}} &= V_{R-2R} / R_{32} \\ &= (R_9 / R_{32}) I_{\text{ref}} - (R / R_{32}) I_{\text{ref}} (Z_n + \dots + Z_2 / 2^{n-1} + Z_1 / 2^n) \end{aligned}$$

従来例で説明した、4個のビットのデジタル入力信号により、出力電流値を $15\mu\text{A}$ から $30\mu\text{A}$ の間で可変する電流出力型デジタル/アナログ変換回路を考える。

【0028】まず出力電流の最大電流値 $30\mu\text{A}$ は、次の式で求まる。

$$\text{【0029】 } I_{\text{out}} = (R_9 / R_{32}) I_{\text{ref}}$$

ここで基準電流源の電流値を $60\mu\text{A}$ とし、電流-電圧変換回路の出力電圧を3.6Vとすると

$$R_9 = 60\text{K}\Omega, R_{32} = 120\text{K}\Omega$$

となる。

【0030】次に出力電流の最小電流値 $15 \mu A$ は、次の式で求まる。

$$【0031】 I_{out} = (R_9 / R_{32}) I_{ref} - (R / R_{32}) I_{ref} \quad (8/15)$$

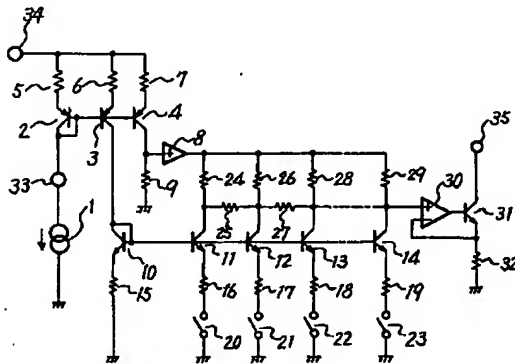
$$R = 16 K \Omega$$

となる。又カレントミラー回路を構成する抵抗は、 $5 K \Omega$ となり、ICでの使用でも問題ない値である。

【0032】

【発明の効果】以上説明したように本発明は、基準電流源の電流値に関係なく、出力端子の電流値を決めることができる様にしたので、出力電流の可変範囲を任意に設定することができ、又、デジタル入力信号のビット数が増えても、微小な範囲の可変に対しても、トランジスタの個数や抵抗の値を小さくすることができ、IC化においてチップの縮小に対して効果があるという結果を有す

【図1】



る。

【図面の簡単な説明】

【図1】本発明の実施例の回路図

【図2】従来の例の回路図

【符号の説明】

- 1 基準電流源
- 2～4, 10～14, 31, 36～37, 40～44 トランジスタ
- 5～7, 9, 15～19, 24～29, 32, 38, 39, 45～49 抵抗
- 8, 30 増幅器
- 20～23 スイッチ
- 33 入力端子
- 34 電源端子
- 35 出力端子

【図2】

